



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10340226 A**(43) Date of publication of application: **22 . 12 . 98**

(51) Int. Cl.

**G06F 12/08**  
**G06F 15/78**  
**G11C 15/04**

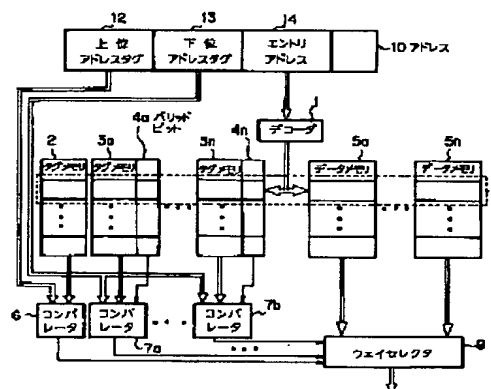
(21) Application number: **09150796**(71) Applicant: **NEC CORP**(22) Date of filing: **09 . 06 . 97**(72) Inventor: **SAKAI TOSHICHIKA**(54) **CACHE MEMORY OF ASSOCIATIVE STORAGE SYSTEM**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the power consumption without decreasing the hit rate, by dividing a tag memory into a tag memory, which has a bit group in address tags common to respective ways and tag memories which have independent bit groups for every way, and dividing addresses from a data processor by the tag memories and comparing them.

**SOLUTION:** The tag memory is divided into the tag memory 2, which stores the high-order bits of an address tag in common through the respective (n) ways and tag memories 3 (3a...3n), which store the independent bits by the ways. Further, data memories 5 (5a...5n) of the (n) ways store data indicated with addresses composed of respective bits of the tag memories 2 and 3. Then a way selector 9 selects and outputs data of the data memories 5 with hit signals from a comparator 6 which compares the address tag 12 with the contents of the tag memory 2 and a comparator 7, which compares the address tag 13 with the contents of the tag memory 3 by the ways.





(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-340226

(43)公開日 平成10年(1998)12月22日

(51)Int.Cl.*	識別記号	F I
G 0 6 F 12/08		G 0 6 F 12/08 E
15/78	5 1 0	15/78 5 1 0 P
G 1 1 C 15/04		G 1 1 C 15/04 D

審査請求 有 請求項の数4 OL (全 7 頁)

(21)出願番号 特願平9-150796

(22)出願日 平成9年(1997)6月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 境 敏親

東京都港区芝五丁目7番1号 日本電気株式会社内

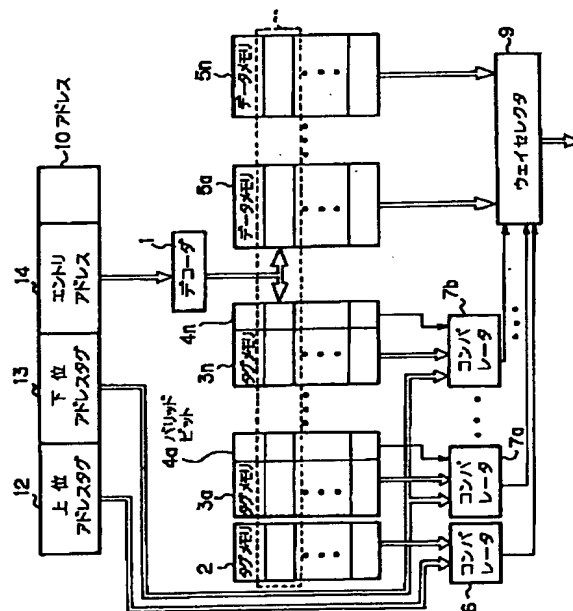
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 連想記憶方式のキャッシュメモリ

(57)【要約】

【課題】 ヒット率を低下させることなく、マイクロプロセッサの消費電力を削減する。

【解決手段】 エントリアドレス14をデコードするデコーダ1と、各ウェイに共通なアドレスタグの上位のビットを記憶して各ウェイに1つだけ設けられる第1のタグメモリ2と、各ウェイ毎に個別なアドレスタグの下位のビットを記憶している第2のタグメモリ3a、3bと、第1のタグメモリ2と第2のタグメモリ3a、3bの各ビットの合成されたアドレスにより指示されるデータを記憶しているデータメモリ5a、5bと、アドレスタグ12と第1のタグメモリ2の内容を比較するコンパレータ6と、アドレスタグ13と第2のタグメモリ3a、3bの内容を比較するコンパレータ7a、7bと、コンパレータ6、7a、7bから送られるヒット信号によりデータメモリ3からのデータを選択して出力するウェイセレクタ9とを備えている。



## 【特許請求の範囲】

【請求項1】 データ処理装置からアクセスされる主メモリのデータの一部を保持するデータメモリと、前記データメモリに保持されたデータの前記主メモリにおけるアドレスに対応するアドレスタグを保持するタグメモリとを備え、データ処理装置が示すアドレスと、前記タグメモリの記憶内容とを比較して両者が一致したとき、該アドレスタグに対応した前記データメモリのデータをデータ処理装置に出力する複数 $n$ ウェイの連想記憶方式のキャッシュメモリにおいて、

タグメモリが、アドレスタグ中の各ウェイを通じて共通なビット群を有する第1のタグメモリと、各ウェイ毎に独自のビット群を有する第2のタグメモリとに分割され、

データ処理装置から示されるアドレスを分割して前記第1及び第2のタグメモリごとに比較することを特徴とする連想記憶方式のキャッシュメモリ。

【請求項2】 タグメモリには、ビット群がウェイに共通な上位ビット群と、ウェイ毎に異なる下位ビット群とに分けた仮想アドレスが格納される請求項1に記載の連想記憶方式のキャッシュメモリ。

【請求項3】 アドレスタグの上位ビットに対応するタグメモリのビット幅が、連続してアクセスされるデータのヒット率に対応して制御される請求項1または2に記載の連想記憶方式のキャッシュメモリ。

【請求項4】 データ処理装置から示されるエントリアドレスをデコードするデコーダ(1)と、

複数 $n$ 個の各ウェイを通じて共用としてエントリ毎に1つつづつ備えられ、アドレスタグの上位のビットを記憶している第1のタグメモリ(2)と、

アドレスタグの下位のビットで、各ウェイ毎に独自のビットを記憶している第2のタグメモリ(3a、...、3n)と、

第1のタグメモリ(2)と第2のタグメモリ(3)の各ビットの合成されたアドレスにより指示されるデータを記憶している $n$ ウェイのデータメモリ(5a、...、5n)と、

データ処理装置から示されるタグアドレスの上位ビット(12)と第1のタグメモリ(2)の内容を比較する第1のコンパレータ(6)と、

データ処理装置から示されるタグアドレスの下位ビット(13)と第2のタグメモリ(3)の内容を各ウェイ毎に比較する第2のコンパレータ(7a、...、7n)と、

第1及び第2のコンパレータから送られるヒット信号によりデータメモリ(5a、...、5n)からのデータを選択して出力するウェイセクタ(9)とを備えている請求項1に記載の連想記憶方式のキャッシュメモリ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、連想記憶方式のキャッシュメモリに関し、特に、データ処理装置からアクセスされる主メモリのデータの一部を保持するデータメモリと、データメモリに保持されたデータの主メモリにおけるアドレスに対応するアドレスタグを保持するタグメモリとを備え、データ処理装置が示すアドレスと、タグメモリの記憶内容とを比較して両者が一致したとき、該アドレスタグに対応したデータメモリのデータをデータ処理装置に出力する複数 $n$ ウェイの連想記憶方式のキャッシュメモリに関する。

【0002】

【従来の技術】近年、マイクロプロセッサの高性能化に伴い、マイクロプロセッサの性能に最も影響を及ぼすメモリアクセスを高速化するために、1チップ上にキャッシュメモリ等の高速な連想メモリを載せる傾向が強くなり、連想メモリの容量が増大して1チップの面積の大半を連想メモリが占めるようになってきた。そのために、連想メモリの性能、面積及び消費電力がマイクロプロセッサの性能、面積及び消費電力に大きく影響してきた。

【0003】近年のマイクロプロセッサに用いられるキャッシュメモリでは、例えばデータメモリの32ビットに対してタグビットが20ビットというように、タグメモリのビット幅が広くなり、連想メモリの全メモリセル中にタグメモリセルの占める割合が高くなっている。さらに、キャッシュメモリは、データを高速に読み出し、書き込みするばかりでなく、データがメモリに記憶されているか否かの判断も高速に処理しなければならないので、ビット幅の広いタグメモリの全ビットを同時に読み出し、書き込み、あるいはメモリ内容の比較等を行なう必要がある。そのために必要なタグメモリの消費電力が大きくなり、従って連想メモリの消費電力、ひいてはマイクロプロセッサの消費電力の増大を招いている。

【0004】特に、1エントリにつき $n$ 個のタグメモリを備える従来の $n$ ウェイセットアソシアティブ方式のキャッシュメモリにおいては、アドレスタグのビット幅を $W$ ビットとすると、1つのデータアクセスにつき、 $W \times n$ ビットのタグメモリのメモリセルを同時に読み出し、 $W$ ビットの比較器 $n$ 個で比較が行なわれるので、 $W \times n$ ビット分の電力が消費される。

【0005】図3は、従来のキャッシュメモリの1例のブロック図で、7ビットのアドレスで、4エントリの2ウェイセットアソシアティブ方式のキャッシュメモリの構成を示す。

【0006】図3において、データ処理装置からアドレスバスに出力されるアドレス10は、4ビットのアドレスタグ11、2ビットのエントリアドレス14及び1ビットのバイトアドレス15からなる。

【0007】このキャッシュメモリは、アドレス10のエントリアドレス14をデコードするデコーダ1、タグメモリ3'(3'a、3'b)、2バイト分のデータを

記憶するデータメモリ5(5a, 5b)、データメモリ5の記憶内容が有効か否かを示すバリッドビット4(4a, 4b)、アドレスタグ11とタグメモリ3'の内容が一致しているか否かを判定するとともに、バリッドビット4の内容によってデータメモリ5に記憶されているデータが有効か否かを判定するコンパレータ7'(7'a, 7'b)、バイトアドレス15の内容に従ってデータメモリ5のバイトデータを選択するバイトセクタ8(8a, 8b)、コンパレータ7'の判定結果を示すヒット信号16、ヒット信号によりバイトセクタ8の出力を選択するウェイセクタ9を有する。

【0008】なお、タグメモリ3'(3'a, 3'b)、データメモリ5(5a, 5b)等の括弧内の符号の添字a, bは、それぞれがa, bの2つのウェイに対応していることを表している。

【0009】次に、このキャッシュメモリの動作について説明する。

【0010】データ処理装置からアドレス10が与えられると、そのエントリアドレス14がデコーダ1でデコードされ、その結果によって示される各ウェイのタグメモリ3'の内容がコンパレータ7'に与えられると共に、データメモリ5の内容もバイトセクタ8に与えられ、バイトセクタ8により選択されたバイトデータがウェイセクタ9に送られる。

【0011】そして、選択されたタグメモリ3'のバリッドビット4の内容と共にコンパレータ7'によりアドレスタグ11と一致しているか否かが判定される。

【0012】一致したウェイが存在すれば、そのウェイのデータがウェイセクタ9からデータ出力として出力され、不一致の場合は、キャッシュメモリではなく、不図示のメインメモリに対してデータアクセスが行なわれ、該当するデータがメインメモリから読み出されてデータ処理装置に与えられるとともに、キャッシュメモリ内のデータメモリ5にも格納される。

【0013】上述の従来のキャッシュメモリにおいては、データメモリに保持可能なデータ数に比例してタグメモリの素子数が増大するので、タグメモリのメモリ素子数を削減してハードウェア効率を向上させることを目的とするキャッシュメモリが特開平2-161546号公報に開示された。

【0014】この第2の従来例のキャッシュメモリは、上述の目的を達成するために、タグメモリを複数のビット群に分割し、上位側の各ビット群をその1データ分のビット数にて構成される共通のメモリとして備えるというもので、図4に同案による1例として、2ウェイセットアソシアティブ方式で、7ビットアドレス、4エントリのキャッシュメモリを示す。

【0015】図4において、このタグメモリは、2ビット構成の第1のタグメモリ33(33a, 33b)と、2ビット構成の第2のタグメモリ36(36a, 36

b)とからなり、第1のタグメモリ33(33a, 33b)は、アドレスタグ11を構成する4ビットの内、各データに共通な上位2ビットに相当するビットが記憶され、第2のタグメモリ36(36a, 36b)は、アドレスタグ11の4ビットの内の個々のデータに対応するアドレスの下位2ビットに相当するビットが記憶される。そして、データメモリ5(5a, 5b)には、第1のタグメモリ33の2ビットを上位ビットとし、第2のタグメモリ36の2ビットを下位ビットとして合成した4ビットのアドレスで指示される2バイト分のデータが記憶される。換言すると、データメモリ5(5a, 5b)には、第1のタグメモリ33(33a, 33b)に記憶された2ビットを上位2ビットとして共通にもつデータのみが保持される。

【0016】従って、バイトセクタ8によって選択されてウェイセクタ9に送られたバイトデータがアドレスタグ11と不一致の場合に、主メモリにアクセスしてデータメモリ5に格納されるデータは、アドレスタグ11の上位2ビットが第1のタグメモリ33(33a, 33b)の内容と一致している必要がある。

【0017】

【発明が解決しようとする課題】上述のように、従来のnウェイセットアソシアティブ方式のキャッシュメモリにおいては、1つのデータアクセスにつき、W\*nビットのタグメモリのメモリセルを同時に読み出し、Wビットの比較器n個で比較が行なわれるので、W\*nビット分の電力が消費される。

【0018】一方、1ウェイセットアソシアティブ方式に相当するダイレクトマップ方式のキャッシュメモリにおいては、1つのデータアクセスにつきWビットのタグメモリの同時読み出しとWビットのタグメモリとアドレスタグの比較が行なわれるので、nウェイセットアソシアティブ方式のキャッシュメモリはダイレクトマップ方式のキャッシュメモリのn倍の電力を消費する。ただし、ダイレクトマップ方式のキャッシュメモリは、2ウェイ以上のセットアソシアティブ方式のキャッシュメモリに比較するとヒット率が低く、マイクロプロセッサの性能が低下してしまうという問題点がある。

【0019】第2の従来例のタグメモリのメモリ素子数を削減したキャッシュメモリは、メモリセル数とタグメモリのワード線の負荷容量の小さい分だけ、タグメモリセルの同時読み出しに必要な電力は少なくなるが、1回のデータアクセスについて、W\*nビットのタグメモリセルを同時に読み出し、W\*nビットのアドレスタグとタグメモリの内容とを比較する必要があるので、ダイレクトマップ方式のキャッシュメモリに比較するとやはり大きな消費電力を必要とする。

【0020】本発明の目的は、ヒット率を低下させることなく、マイクロプロセッサの消費電力を削減できる連想記憶方式のキャッシュメモリを提供することにある。

10

20

30

40

50

## 【0021】

【課題を解決するための手段】本発明の連想記憶方式のキャッシュメモリは、タグメモリが、アドレスタグ中の各ウェイを通じて共通なビット群を有する第1のタグメモリと、各ウェイ毎に独自のビット群を有する第2のタグメモリとに分割され、データ処理装置から示されるアドレスを第1及び第2のタグメモリごとに分割して比較する。

【0022】また、タグメモリには、ビット群がウェイに共通な上位ビット群と、ウェイ毎に異なる下位ビット群とに分けた仮想アドレスが格納されてもよい。

【0023】アドレスタグの上位ビットに対応するタグメモリのビット幅は、連続してアクセスされるデータのヒット率に対応して設定されるのがよい。

## 【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0025】図1は、本発明のキャッシュメモリの1実施例のブロック図である。

【0026】図1において、本実施例のキャッシュメモリは、エントリアドレスをデコードするデコーダ1と、n個の各ウェイを通じて共用としてエントリ毎に1つずつ備えられ、アドレスタグの上位のビットを記憶している第1のタグメモリ2と、アドレスタグの下位のビットで、各ウェイ毎に独自のビットを記憶している第2のタグメモリ3(3a, . . . , 3n)と、第1のタグメモリ2と第2のタグメモリ3の各ビットの合成されたアドレスにより指示されるデータを記憶しているnウェイのデータメモリ5(5a, . . . , 5n)と、アドレスタグ12と第1のタグメモリ2の内容を比較するコンパレータ6と、各ウェイ毎にアドレスタグ13と第2のタグメモリ3の内容を比較するコンパレータ7(7a, . . . , 7n)と、コンパレータ6, 7から送られるヒット信号によりデータメモリ5からのデータを選択して出力するウェイセクタ9とを備えている。

【0027】また、データ処理装置からアドレスバスに出力されるアドレス10は、上位ビットのアドレスタグ12、下位ビットのアドレスタグ13、エントリアドレス14を含む。

【0028】次に、本実施例の動作について説明する。

【0029】データ処理装置から与えられたアドレス10のエントリアドレス14により、エントリiが選択されたとする。

【0030】図1において、エントリiの第1のタグメモリ2の内容がコンパレータ6に送られ、エントリiの各ウェイの第2のタグメモリ3(3a, . . . , 3n)の内容とバリッドビット4の内容とが各ウェイに対応するコンパレータ7(7a, . . . , 7n)に送られる。それと同時に、エントリiの各ウェイのデータメモリ5(5a, . . . , 5n)の内容がウェイセクタ9に送

られる。

【0031】コンパレータ6は、エントリiの第1のタグメモリ2の内容と、データ処理装置から与えられたアドレス10の上位のアドレスタグ12とが一致するか否かを判定し、判定結果を第1のヒット信号としてウェイセクタ9に送る。この判定結果、第1のタグメモリ2とアドレスタグ12とが一致したときの第1のヒット信号はアクティブであるという。

【0032】また、コンパレータ7(7a, . . . , 7n)は、バリッドビット4(4a, . . . , 4n)の内容によってエントリiのデータメモリ5(5a, . . . , 5n)に記憶されているデータが有効か否かを判定すると共に、第2のタグメモリ3(3a, . . . , 3n)の内容と下位のアドレスタグ13とが一致しているか否かを判定し、判定結果を第2のヒット信号としてそれぞれウェイセクタ9に送る。これら2つの判定で、データメモリ3a~3nのエントリiに記憶されているデータが有効であり、かつ、エントリiの第2のタグメモリ3(3a, . . . , 3n)の内容とアドレスタグ13とが一致しているとき、第2のヒット信号はアクティブであるという。

【0033】ウェイセクタ9は、第1のヒット信号と第2のヒット信号が共にアクティブであるウェイjが存在するとき、キャッシュヒットとしてそのウェイjのデータをデータ処理装置に出力する。

【0034】上記以外の場合、すなわち、第1のヒット信号と第2のヒット信号の内、いずれか一方でもアクティブでないときは、キャッシュミスとして、キャッシュメモリではなく、メインメモリに対してデータアクセスが行なわれる。そして、該当するデータがメインメモリから読み出されてデータ処理装置に送られると共に、同じデータがキャッシュメモリのデータメモリ5にも格納される。

## 【0035】

【実施例】次に、本発明の具体的な実施例として、図2により、2ウェイセットアソシアティブ方式のキャッシュメモリについて、従来例と比較して説明する。

【0036】図2は、本実施例のキャッシュメモリのブロック図である。

【0037】このキャッシュメモリは、アドレス10が7ビットで、4エントリの2ウェイセットアソシアティブ方式のキャッシュメモリで、デコーダ1、第1のタグメモリ2、第2のタグメモリ3(3a, 3b)、データメモリ5(5a, 5b)、第1のコンパレータ6、第2のコンパレータ7(7a, 7b)、バイトセクタ8(8a, 8b)、及びウェイセクタ9を有する。

【0038】アドレス10は、第2の従来例と同様に、2ビットの上位のアドレスタグ12と、2ビットの下位のアドレスタグ13と、2ビットのエントリアドレス14と、1ビットのバイトアドレス15とからなる。

【0039】第1のタグメモリ2は、アドレスタグ12に相当する上位2ビットを記憶し、第2のタグメモリ3(3a, 3b)は、アドレスタグ13に相当する下位2ビットを記憶する。第1のタグメモリ2は、各エントリ毎に2つのウェイに対して共通である。すなわち、従来例の、図3のタグメモリ3'のうちの上位2ビットの部分、及び図4のタグメモリ33aと33bが、各ウェイに1つずつ共通の2ビットのタグメモリ2として構成されている。

【0040】第1のコンパレータ6は、上位のアドレスタグ12の内容と第1のタグメモリ2の2ビットとを比較して、一致か不一致かを判定し、その結果を第1のヒット信号としてウェイセクタ9に送る。

【0041】第2のコンパレータ7(7a, 7b)は、a, bの各ウェイごとにそれぞれ、エントリアドレス14により指定されたエントリのバリッドビット4の内容から、そのエントリのデータが有効であるか否かを判定すると共に、下位のアドレスタグ13の内容と第2のタグメモリ3(3a, 3b)の2ビットとを比較して、一致、不一致の判定を行い、その結果を第2のヒット信号としてウェイセクタ9に送る。

【0042】ウェイセクタ9は、第1及び第2のヒット信号を調べて、キャッシュヒットしたウェイのデータを選択し、そのデータをデータ処理装置に出力する。キャッシュミスの場合は、メインメモリに対してデータアクセスが行なわれ、該当するデータがメインメモリからデータ処理装置に出力されると共に、そのデータがデータメモリ5に格納される。

【0043】連想記憶によるアドレス変換のTLB方式(translation lookaside buffer)の場合は、タグメモリ2, 3には仮想アドレスが保持され、データメモリ5には物理的なページフレーム番号に加えて、保護用フィールド、使用ビット、ダーティビットが保持される。しかし、タグメモリ2, 3には、第1の実施例と同様に、ビット群がウェイに共通な上位ビット群と、ウェイ毎に異なる下位ビット群とに分けて格納される。

【0044】ここで、タグメモリのビット幅W、連想度nのセットアソシアティブ方式のキャッシュメモリについて考える。

【0045】本発明においては、タグメモリのうち、ウェイに共通なビット群のビット幅をW1、ウェイ毎に独自なビット群のビット幅をW2として、タグメモリのビット幅WをW1とW2に分割する。そして、データ処理装置から要求されるデータがキャッシュメモリに記憶されているか、つまり、キャッシュメモリがヒットしているか否かを判定するためには、データ処理装置から示されるエントリアドレスのエントリのタグメモリの全ビット、すなわち、W1とW2\*nビットを同時に読み出して、W1+W2\*nビットのアドレスタグとタグメモリの内容の比較を行なう。

【0046】一方、従来のキャッシュメモリでは、エントリアドレスによって示されたエントリの全ビット、すなわち、 $Wn = (W1 + W2) * n$ ビットを同時に読み出して、Wnビットのアドレスタグとタグメモリとの比較を行なっていた。

【0047】従って、データ処理装置からの1回のアクセスに対するタグメモリの消費電力を比較すると、従来のキャッシュメモリから本発明によって、 $\{(W1 + W2) * n\} - \{W1 + W2 * n\} = (n - 1) * W1$ ビット分だけ、タグメモリの消費電力を削減することができる。

【0048】第2の従来例では、各ウェイごとにタグメモリが複数のビット群に分割され、一部のタグメモリのビット群がエントリに共通のメモリとして1個だけ備えられているので、共通なタグメモリのビット群のビット幅のワード線の負荷容量を駆動する電力は節減されているが、アドレスタグの比較には各データごとにW1+W2ビットずつ比較しているため、その分の電力は消費される。

【0049】また、一般にデータ処理装置で処理されるプログラムには、例えば命令キャッシュメモリのように、局所性があり、連続してアクセスするアドレスタグの上位ビットが同一である確率が高い。従って、第1のヒット信号がアクティブであることが連続することが多く、タグメモリのビット数を削減しても、キャッシュヒット率を低下させることなく消費電力を削減することができる。

【0050】

【発明の効果】上述のように本発明は、タグメモリをアドレスタグ中の各ウェイを通じて共通なビット群を有する第1のタグメモリと、各ウェイ毎に独自なビット群を有する第2のタグメモリとに分割し、データ処理装置から示されるアドレスを第1及び第2のタグメモリごとに分割して比較することにより、アドレスタグの比較のために消費する電力を低減し、ヒット率を低下させることなく、マイクロプロセッサの消費電力を削減できる効果がある。

【図面の簡単な説明】

【図1】本発明の連想記憶方式のキャッシュメモリの1実施例のブロック図である。

【図2】本発明の具体的な実施例のブロック図である。

【図3】従来のキャッシュメモリの1例のブロック図である。

【図4】従来のキャッシュメモリの第2の例のブロック図である。

【符号の説明】

- 1 デコーダ
- 2, 3, 3a, . . . , 3n タグメモリ
- 4, 4a, . . . , 4n バリッドビット
- 5, 5a, . . . , 5n データメモリ

(6)

特開平10-340226

9

10

6, 7, 7a, . . . , 7n コンパレータ

\* 11, 11a, 11b, 12, 13 アドレスタグ

8, 8a, 8b バイトセクタ

14 エントリアドレス

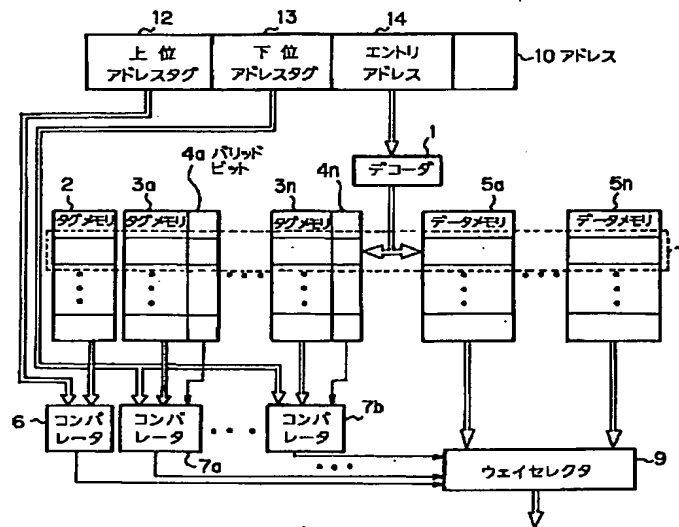
9 ウェイセクタ

15 バイトアドレス

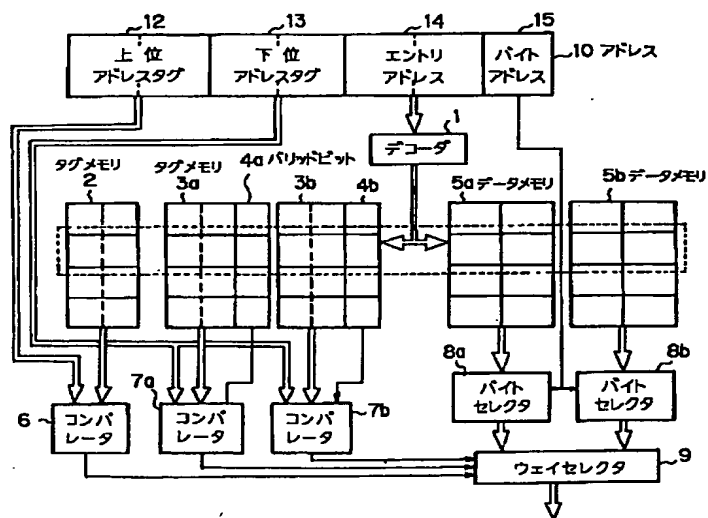
10 アドレス

\*

【図1】

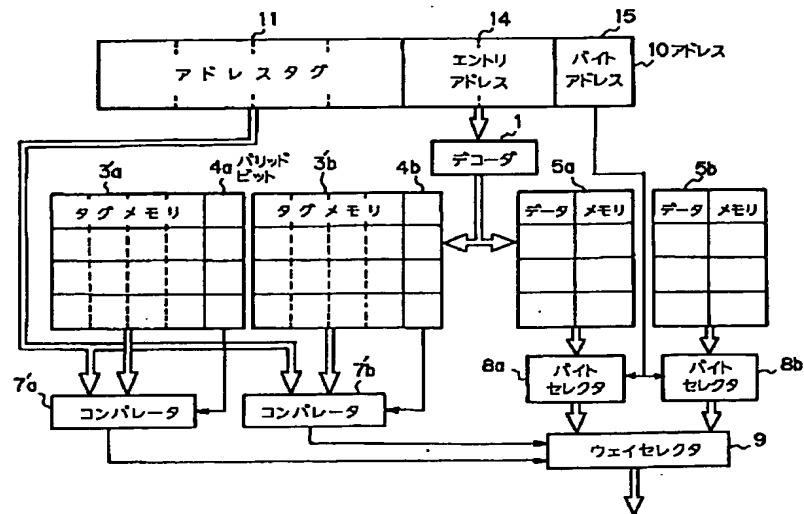


【図2】





【図3】



【図4】

